

## КОНТРОЛЕПРИГОДНАЯ СХЕМА МАТРИЧНОГО ДВОИЧНОГО СУММАТОРА В НЕСТАНДАРТНОМ БАЗИСЕ

Тимошкин А.И., к.ф.-м.н

*Национальная металлургическая академия Украины, Украина*

**Abstract.** The most important problem of the problems of technical diagnostics digital systems is the problem of elaboration short fault detection and acceptable functional (exhaustive) tests for digital LSIs (large – scale integration). In the information processing systems LSIs with regular structure (adders, subtractors, array multipliers, array dividers and so on) perform increasable part. It is easier to design testable digital integrated circuits with a regular structure than integrated circuits with an irregular structure. In this work an interesting from the point of view of practice elaboration LSIs and VLSIs (very large – scale integration) testable functional – logical circuit of a matrix homogenous binary adder with a bit-stuck test with a sequence length 3 and with a minimum functional test with a sequence length 8 is proposed.

**Ключевые слова:** ЛОГИЧЕСКИЕ СХЕМЫ С РЕГУЛЯРНОЙ СТРУКТУРОЙ, КОНСТАНТНАЯ НЕИСПРАВНОСТЬ, ПРОВЕРЯЮЩИЕ ТЕСТЫ.

Важнейшей задачей технической диагностики цифровых систем является задача получения коротких проверяющих и приемлемых функциональных тестов цифровых интегральных микросхем.

В системах обработки информации всевозрастающую роль играют цифровые интегральные схемы с регулярной структурой (сумматоры, вычитатели, умножители, делители и т.п.). В работе [1] предложена контролепригодная функционально-логическая схема двоичного сумматора с последовательным переносом, обладающая проверяющим тестом длины 3 относительно одиночных константных неисправностей её сигнальных линий. Контролепригодная логическая схема полного одноразрядного сумматора для данной схемы представлена на рисунке 1. Для реализации булевых функций суммы  $S_i$  и переноса  $P_i$   $i$ -горазряда ( $1 \leq i \leq n-1$ ) используется логический базис, состоящий из двухвходовых элементов «ИЛИ-НЕ» и «ЭКВИВАЛЕНТНОСТЬ».

При этом электрическая схема элемента «ЭКВИВАЛЕНТНОСТЬ» представлена на рисунке 2 [2].

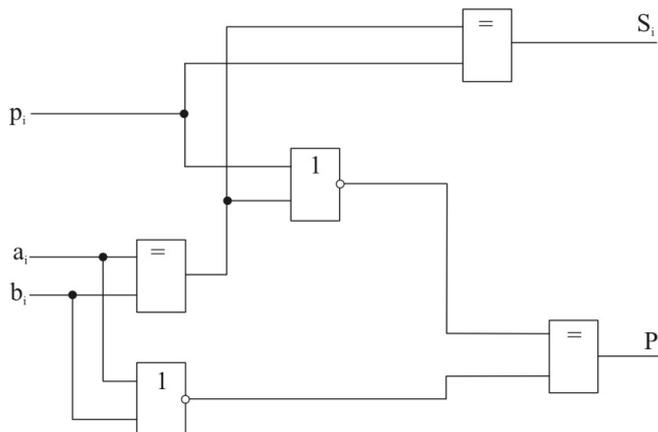


Рисунок 1

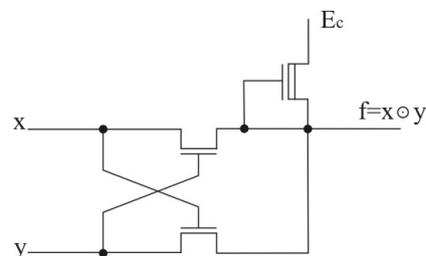


Рисунок 2

В данной работе предлагается интересная с точки зрения практики разработки больших и сверхбольших интегральных схем (БИС и СБИС) контролепригодная функционально-логическая схема итеративного [3] двумерного двоичного сумматора для одновременного суммирования  $m+1$   $n$ -разрядных двоичных чисел с последовательным переносом, обладающая проверяющим тестом длины 3 относительно одиночных константных неисправностей её сигнальных линий и минимальным функциональным тестом длины 8 независимо от её размерности. Данная схема представлена на рисунке 3. Предлагаемая схема обладает также небольшой аппаратурной сложностью.

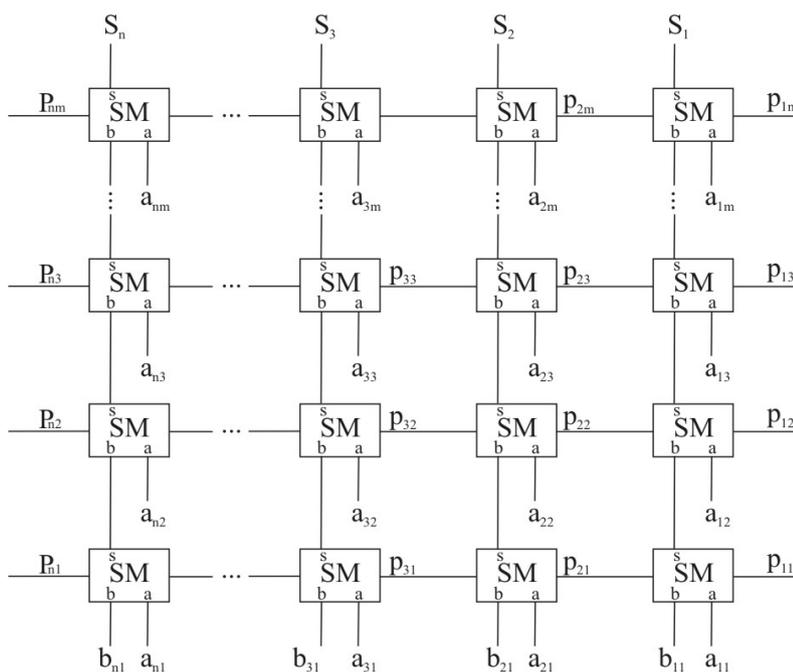


Рисунок 3

### Литература

1. Тимошкин А.И. Контролепригодные схемы двоичных сумматоров // Материалы международной научно-технической конференции «ИТММ», Днепр, 2016, с. 48.
2. Мурога С. Системное проектирование сверхбольших интегральных схем. Кн. 1. – М.: Мир, 1985.
3. Фридман А., Менон П. Теория и проектирование переключательных схем. – М.: Мир, 1978.